ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ

**«САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ ПЕТРА ВЕЛИКОГО»**

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

**Лабораторная работа №4**

**Знакомство с пакетом Quartus Prime**

по дисциплине «Технологии проектирования аппаратных средств компьютерных систем»

Выполнил:

студент группы 3540901/02001

Бараев Д. Р.

Проверил:

А. П. Антонов

Санкт-Петербург 2020

**Содержание**

[Список иллюстраций 3](#_Toc57818457)

[Упражнение 4 4](#_Toc57818458)

[1. Введение 4](#_Toc57818459)

[1.1 Цель работы 4](#_Toc57818460)

[1.2 Алгоритм работы проекта 4](#_Toc57818461)

[2. Создание структуры и схемы каждого блока 4](#_Toc57818462)

[3. Функциональное моделирование 5](#_Toc57818463)

[4. Реализация проекта 5](#_Toc57818464)

[Вывод 6](#_Toc57818465)

# Список иллюстраций

[Рисунок 1 - Общая структурная схема 4](#_Toc57818449)

[Рисунок 2 - Блок clk\_divider 5](#_Toc57818450)

[Рисунок 3 - Блок tick\_counter 5](#_Toc57818451)

[Рисунок 4 - Функциональное моделирование 5](#_Toc57818452)

[Рисунок 5 – Назначение контактов СБИС выводам проекта 6](#_Toc57818453)

[Рисунок 6 - Результаты полной компиляции проекта 6](#_Toc57818454)

# Упражнение 4

# Введение

1.1 Цель работы

Знакомство c блочным вводом пакета QuartusII.

# Алгоритм работы проекта

Проект обеспечивает:

* Деление входной частоты (25 МГц) на 25 000 000 и формирования импульсов с периодом 1 сек.
* Подсчет (циклически) и отображение числа секунд и минут:
* На светодиодах led[5..0] отображается число секунд
* На светодиодах led[7..6] отображается число минут
* Сброс делителя частоты и счетчиков секунд и минут

Общая структурная схема проекта приведена на рисунке

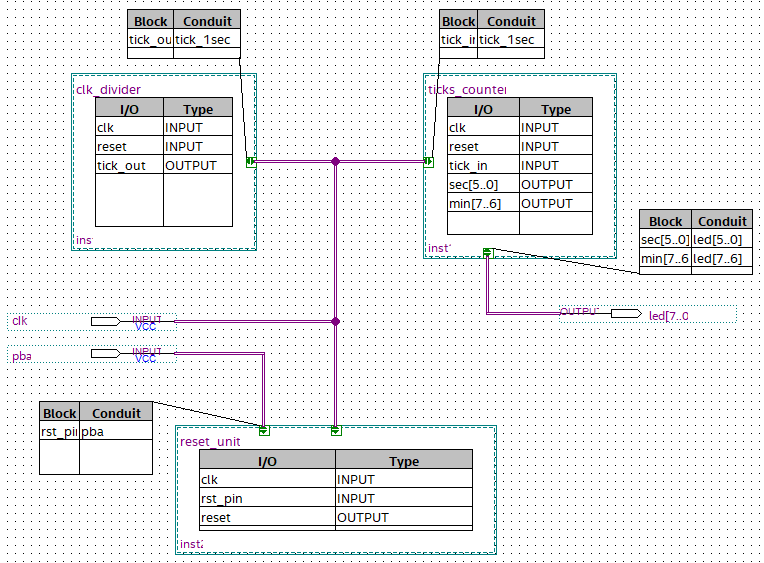


Рисунок 1 - Общая структурная схема

# Создание структуры и схемы каждого блока

1. В схемном редакторе пакета создайте структуру проекта, соответствующую структуре,

приведенной выше.

1. Для каждого блока создайте схемный файл и введите схему:

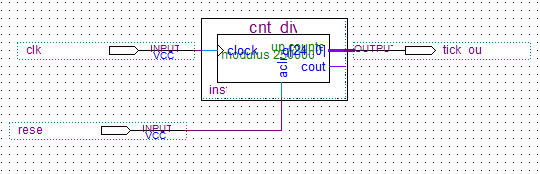


Рисунок 2 - Блок clk\_divider

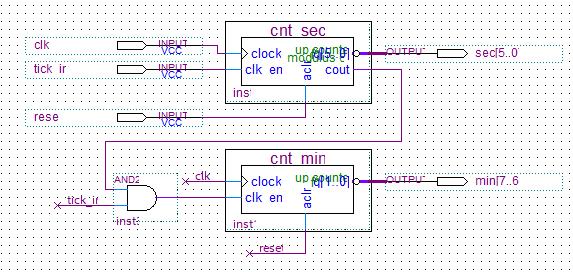


Рисунок 3 - Блок tick\_counter

# Функциональное моделирование

1. Для счетчика cnt\_div блока clk\_divider установите модуль счета (коэффициент деления) небольшим, например = 4. Обновите символ. Сохраните схему блока.
2. Осуществите компиляцию проекта в режиме Analysis&Synthesis.
3. Осуществите функциональное моделирование проекта (не забудьте для счетчика cnt\_div блока clk\_divider установить модуль счета (коэффициент деления) небольшим, например = 4)

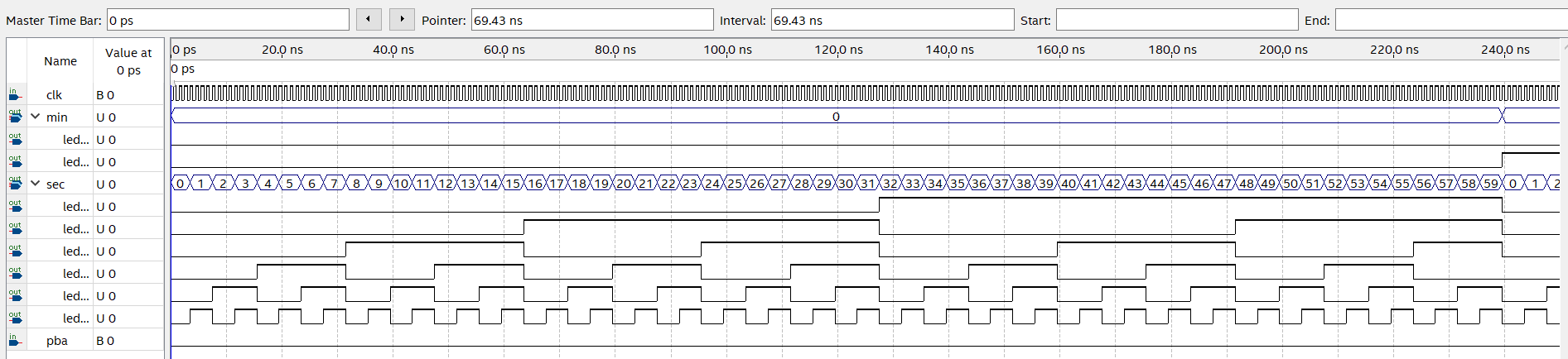


Рисунок 4 - Функциональное моделирование

# Реализация проекта

1. Для счетчика cnt\_div блока clk\_divider измените модуль счета на 25 000 000.
2. Назначьте контакты СБИС выводам проекта и используемый стандарт сигналов в соответствии с приведенной ниже таблицей

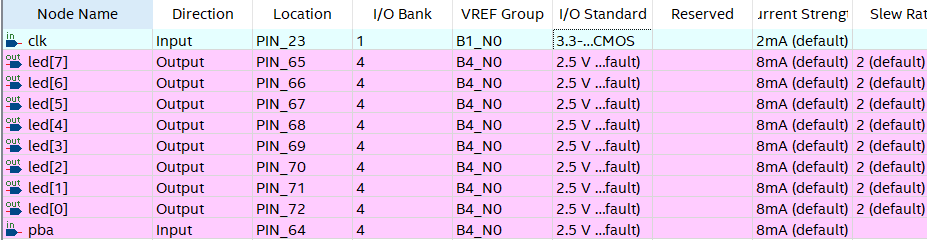


Рисунок 5 – Назначение контактов СБИС выводам проекта

1. Задайте режим работы не использованных выводов - As input tri-stated with weak pull-up.
2. В окне задач (Tasks) выберите процедуру Full Design и двойным щелчком левой клавиши мыши по команде Compile Design запустите полную компиляцию проекта.

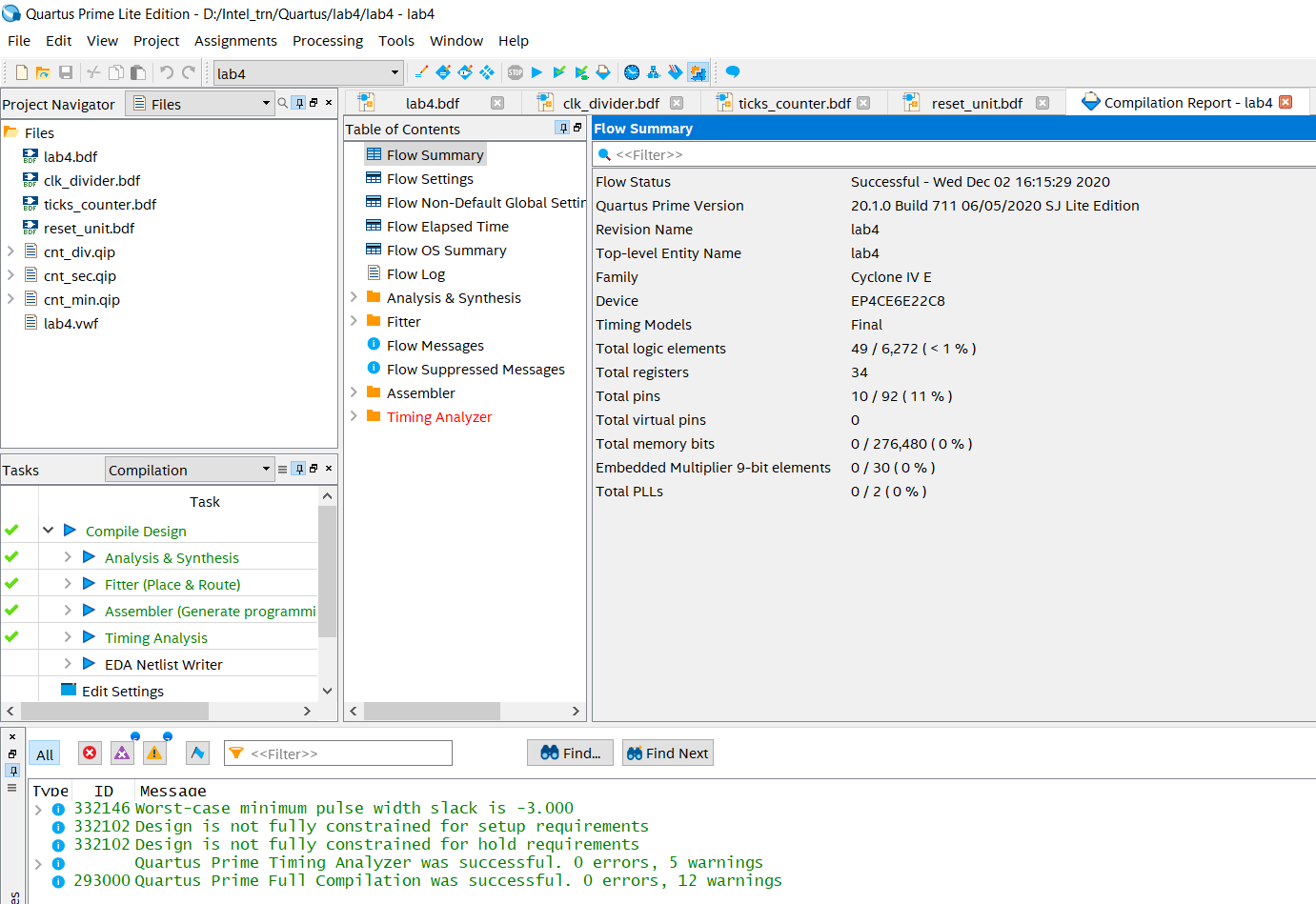


Рисунок 6 - Результаты полной компиляции проекта

# Вывод

В ходе данной лабораторной работы ознакомились с блочным вводом пакета Quartus II.